

3  
1  
1982/5/5  
DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

00689416     \*\*Image available\*\*

PRODUCTION OF LIQUID CRYSTAL DISPLAY ELEMENT

PUB. NO.:     56-009716 [JP 56009716 A]

PUBLISHED:     January 31, 1981 (19810131)

INVENTOR(s):   MARUYAMA AKIO

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:     54-083983 [JP 7983983]

FILED:         July 04, 1979 (19790704)

INTL CLASS:    [3] G02F-001/13; G09F-009/00

JAPIO CLASS:   29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9  
(COMMUNICATION -- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

JOURNAL:        Section: P, Section No. 57, Vol. 05, No. 56, Pg. 35, April  
17, 1981 (19810417)

ABSTRACT

PURPOSE: To improve the utilization rate of middle electrode plates and improve the yield of seal-stuck parts by laminating the multiple pattern middle electrode substrates at predetermined intervals, forming these into one multiple middle electrode substrate structural body then cutting and separating the same without making any margin for discarding.

CONSTITUTION: Spacers 12 are scattered and attached on the surface of a multiple pattern middle electrode substrate (a)9 having multiple electrode patterns opposing to a multiple pattern middle electrode substrate (b)10; fixing bodies 11 are printed and coated on predetermined positions; both substrates are opposed to predetermined opposing positions and are fixed by bonding, whereby the multiple middle electrode substrate structural body is made. If this is cut, no margins for discarding are produced; therefore it may be separated to the middle electrode substrate structural bodies 13 of multiple units.

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

## ⑫ 公開特許公報 (A)

昭56—9716

⑮ Int. Cl.<sup>3</sup>

G 02 F 1/13

G 09 F 9/00

識別記号

庁内整理番号

7348—2H

7129—5C

⑯ 公開 昭和56年(1981)1月31日

発明の数 1

審査請求 未請求

(全 3 頁)

## ⑭ 液晶表示素子の製造方法

⑰ 特 願 昭54—83983

⑱ 出 願 昭54(1979)7月4日

⑲ 発 明 者 丸山章男

茂原市早野3300番地株式会社日

立製作所茂原工場内

⑳ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5  
番1号

㉑ 代 理 人 弁理士 薄田利幸

## 明 細 書

発明の名称 液晶表示素子の製造方法

特許請求の範囲

複層形液晶表示素子の製造方法において、多数パターンを有する中電極基板を複数枚所定間隔を置いて積み重ねて一体化し多数個中電極基板構体とする工程と、この多数個中電極基板構体を単体の中電極基板構体に切断分離する工程と、多数パターンを有する上電極基板と多数パターンを有する下電極基板との間の対応個所に、それぞれ前記中電極基板構体をはさみ対層一体化し多数個空セル構体とする工程と、この多数個空セル構体を単体の空セルに切断分離する工程とを設けたことを特徴とする液晶表示素子の製造方法。

発明の詳細な説明

本発明は複層形液晶表示素子の製造方法に関する。

第1図は従来の複層形液晶表示素子セル構体を示し、(a)は側断面図、(b)は正面図である。1は多数個パターン上電極基板、2は多数個パターン下

電極基板、3a、3bは多数個パターン中電極基板(3aと3bの電極パターンは異なることが多い)、4は多数個パターン上電極基板1と多数個パターン中電極基板3a、3bと多数個パターン下電極基板2とを一体化し気密封着するための封着体(前記多数個パターン電極基板とは1枚の基板に同形状の電極パターンを多数個形成したものをいう)、5は液晶組成物(図示せず)を注入するための注入孔、6は単体の空セル7に分離するための切断部、8は切断部6において切断したのち除去される多数個パターン中電極基板の捨て代である。多数個パターン上電極基板1、多数個パターン下電極基板2および多数個パターン中電極基板3a、3bの、それぞれ単体空セル7の周辺部となるべき多数の対応個所に対層体4を印刷手法で塗布した後、各基板を所定対応位置に積重ねれば、第1図に示した様な多数個空セル構体を得られる。しかし上記従来の製造方法は、多数個パターン中電極基板に捨て代が生じ材料利用率が悪く、気密封着部の面積が大きく又各基板間に所定間隔値を

だすために封着体にスペーサを混入させるので気密封着の信頼性および歩留りが悪い、などの問題がある。

本発明は上記の様な問題のない複層形液晶表示素子の製造方法を提供することを目的とする。

上記目的を達成するために本発明においては、まず多数個パターン中電極基板を所定間隔で積み重ねて多数個中電極基板構体に一体化したのち、捨て代を作らずに多数の単体の中電極基板構体に切断分離し、つぎに多数個パターン上電極基板と多数個パターン下電極基板との間の対応個所にそれぞれ前記単体の中電極基板構体をはさみ封着一体化して多数個空セル構体とし、さらにこの多数個空セル構体を捨て代を作らずに効率よく多数の単体の空セルに切断分離することとした。

本発明を第 8、8 図について更に詳しく説明する。第 8 図は本発明に係る多数個中電極基板構体を示し、(a)は正面図、(b)は側断面図、(c)は平面図である。図中、9 は多数個パターン中電極基板 a、10 は多数個パターン中電極基板 b、11 は前記

- 8 -

特開昭56-9716(2)

両者を固定する固定体、12 は両基板間の所定間隔をだすスペーサ、a a'、b b'、c c'、A A'、B B'、C C'、D D'は多数個中電極基板構体を、単体の中電極基板構体 18 に切断分離する切断部である。多数個の電極パターンを有する多数個パターン中電極基板 a 9 の多数個パターン中電極基板 b 10 に対向する面上にスペーサ 12 を分散付着させ、固定体 11 を所定位置に印刷塗布し、両基板を所定対応位置に対向させ、熱処理により接合固定して多数個中電極基板構体とし、前記切断部で切断すれば、捨て代を生じないで多数の単体の中電極基板構体 18 に分離できる。第 8 図は本発明に係る多数個空セル構体を示し、(a)は側断面図、(b)は正面図である。図中、14 は多数個パターン上電極基板、15 は多数個パターン下電極基板、16 は封着体、17 はスペーサ、18 は切断部、19 は空セル、20 は注入孔である。多数個パターン上電極基板 14 にスペーサ 17 を分散付着させ、所定位置に封着体 16 を印刷塗布し、前記単体の中電極基板構体 18 をのせ、さらにスペーサ

- 4 -

17 を分散付着させた多数個パターン下電極基板 15 をのせて熱処理により封着一体化し多数個空セル構体とし、最後に切断部 18 で切断して、捨て代を生ずることなく、多数の単体の空セル 19 に分離する。封着体 16 に沿う切断作業は不要となり、封着部の信頼性、歩留りが向上する。

以上説明したように本発明によれば、多数個パターン中電極基板の利用率が向上し、封着部の信頼性、歩留りが向上する効果が得られる。

図面の簡単な説明

第 1 図は従来の複層形液晶表示素子セル構体を示し、(a)は側断面図、(b)は正面図、第 8 図は本発明に係る多数個中電極基板構体を示し、(a)は正面図、(b)は側断面図、(c)は平面図、第 8 図は本発明に係る多数個空セル構体を示し、(a)は側断面図、(b)は正面図である。

9 …多数個パターン中電極基板 a、10 …多数個パターン中電極基板 b、11 …固定体、12 …スペーサ、13 …中電極基板構体、14 …多数個パターン上電極基板、15 …多数個パターン下電

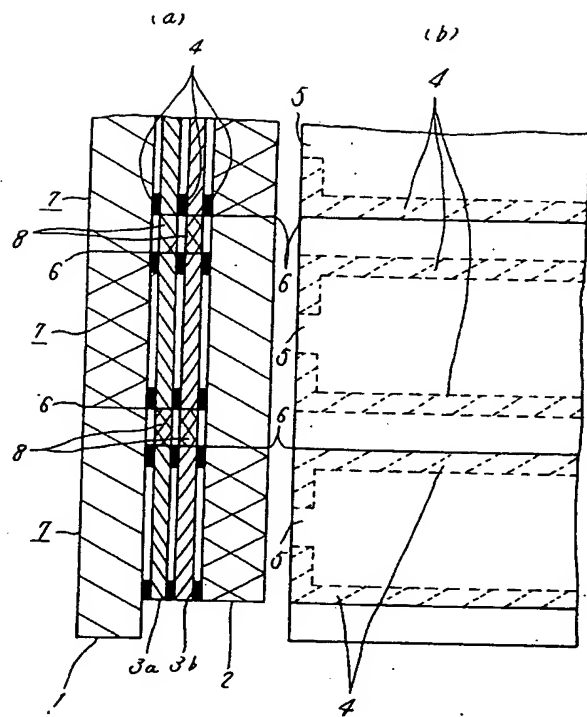
- 5 -

極基板、16 …封着体、17 …スペーサ、18 …切断部、19 …空セル、20 …注入孔。

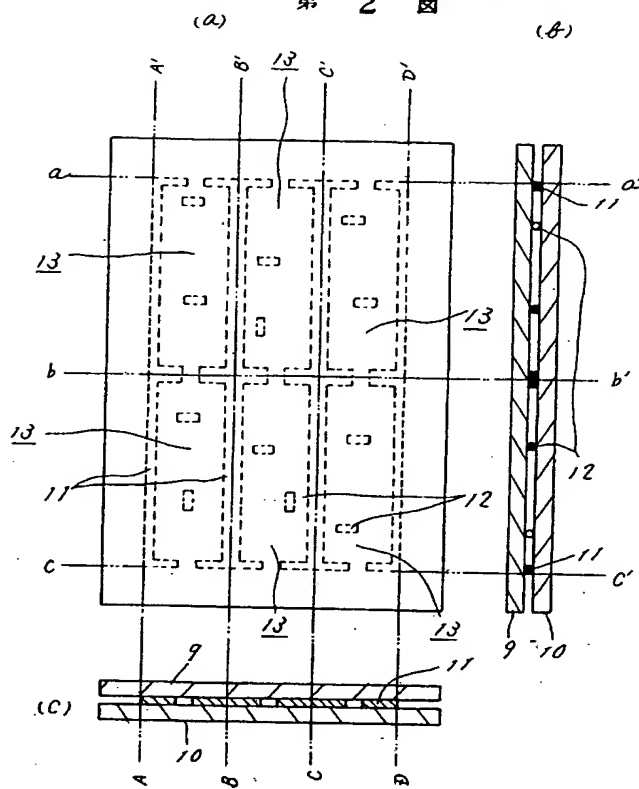
代理人 弁理士 薄 田 利 幸

- 6 -

第 1 図



第 2 図



第 3 図

